

## BEST AVAILABLE COPY

⑥

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2627751号

(45) 発行日 平成9年(1997)7月9日

(24) 登録日 平成9年(1997)4月18日

(51) IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/26			G 0 1 R 31/26	G
31/28			31/28	H

発明の数1(全 8 頁)

(21) 出願番号 特願昭62-244823

(22) 出願日 昭和62年(1987)9月28日

(65) 公開番号 特開平1-86076

(43) 公開日 平成1年(1989)3月30日

(73) 特許権者 999999999

株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号(72) 発明者 植田 基夫  
東京都練馬区旭町1丁目32番1号 株式  
会社アドバンテスト内(72) 発明者 長谷川 真平  
東京都練馬区旭町1丁目32番1号 株式  
会社アドバンテスト内(72) 発明者 清水 敏行  
東京都練馬区旭町1丁目32番1号 株式  
会社アドバンテスト内

(74) 代理人 弁理士 草野 卓

審査官 樋口 信宏

(56) 参考文献 特開 昭57-208411 (J P, A)

特開 昭51-86368 (J P, A)

(54) 【発明の名称】 ICテストシステム

## (57) 【特許請求の範囲】

【請求項1】 テストプログラムの実行を制御する上位の  
処理装置と、その上位の処理装置により制御され、ハードウェアモジ  
ュールの動作を制御する行単位のテストプログラム命  
令、テストステータスを更新する命令を実行する複数の  
下位の処理装置と、その下位の処理装置により制御され、命令の実行に伴っ  
て被試験素子に対する試験信号の発生、被試験素子の出  
力信号の測定をそれぞれ行う複数のハードウェアモジュ  
ールと、

から成るICテストシステムであって、

下位の各処理装置には、それが制御するハードウェアモ  
ジュールごとに、そのハードウェアモジュールのステー  
タスを記憶する記憶装置と、対応するハードウェアモジュールのステータスの更新命  
令及びステータスをチェックする命令が備えられている  
ICテストシステム。

## 【発明の詳細な説明】

## 「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有  
するICテストシステムに関する。

## 「従来の技術」

第4図は従来のICテストシステムの構成例を示す図で  
ある。ICテストシステムでは、被試験素子を試験するテ  
ストシーケンスが記述されたプログラムが記憶装置(図  
示せず)に格納されており、中央処理装置11が記憶装置  
からそのテストプログラムを読み出して順次実行するよう  
に構成され、例えば半導体メモリ素子を試験するための  
テスト動作の全てを中央処理装置11が制御するようにな

(2)

第2627751号

っている。

中央処理装置11には制御線12を介してハードウェアモジュール13A, 13B, 13C~13Nが接続されており、中央処理装置11がテストプログラムを解釈して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A, 13B, 13C~13Nに供給される。

中央処理装置11がハードウェアモジュール13A, 13B, 13C~13Nをプログラムに従って制御するには、各ハードウェアモジュール13A, 13B, 13C~13Nの状態を把握している必要がある。そのために、各ハードウェアモジュール13A, 13B, 13C~13Nの現在の状態を記録しておき、その状態を診ながら制御を進めている。その状態とは、例えば、ハードウェアモジュール13A, 13B, 13C~13Nのピンの接続先であり、信号の出力電圧であり、信号の測定レンジの状態であり、その他諸種の状態について中央処理装置11は記憶装置の中にそれらの状態を示すデータをステータステーブル16に一括して保有している。

中央処理装置11は、テストシーケンスを制御している間、ハードウェアモジュール13A, 13B, 13C~13Nへの制御信号を出力する際に、このステータステーブル16の該当箇所にその制御状態を記録するので、このステータステーブル16にはいつもハードウェアモジュール13A, 13B, 13C~13Nの最新の状態が記録されている。

例えば、ハードウェアモジュール13Aに対する制御信号は被試験素子の入力端子に対して直流信号を供給するための制御信号であり、ステータステーブル16の該当欄16Aに制御信号のデータが記録され、この制御信号が供給されると、例えばハードウェアモジュール13Aは指定された直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、ステータステーブル16をチェックして空いているハードウェアモジュール13Bを探し、その該当欄16Bに使用中であることを示すデータを書き込んでから制御信号を出力する。例えば直流電圧を測定するためのハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その端子の出力電圧を測定する。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解釈と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。とりわけ多数の入出力端子を有する半導体素子に対してDCテストを高速に実施するには、各部での迅速な処理制御を必要とする。

また、制御を要するハードウェアモジュールの数は多く、その状態を記録しているステータステーブルの大き

さは非常に大きなサイズとなる。

第5図はステータステーブルをチェックする処理例を示す流れ図である。

①：モード更新フラグを初期状態にする ( $f=0, i=1$ )。

②：1つのハードウェアモジュールに関するステータスをステータステーブルから取り出す。

③：ステータスをチェックする。例えば、モードの変更（試験信号の供給か或いは試験信号の測定か）の必要があるか。

④：モード変更があるならモード更新を行い、モード更新フラグをセットする ( $f=1$ )。

⑤：次に処理するハードウェアモジュールを選ぶ ( $i=i+1$ )。全てのハードウェアモジュールについての処理が終了したら ( $i=N$ )、次のステップ⑥へ、終了していないならステップ②へ戻る。

⑥：モード更新フラグがセットされていたら ( $f=1$ )、例外処理を行う。

このように中央処理装置は、ステータステーブルから各ハードウェアモジュールについてのステータスを取り出し、そのステータスをチェックしながらハードウェアモジュールを制御しているが、ステータスをチェックするに要する時間は、テーブルの大きさに依存し、例えば大きくなるに比例して長い時間を必要とする。従って、その大きなステータステーブルをチェックしたり、ステータスの内容を変更したりする時間が無視できない程になっている。例えば、最悪条件では2msを要することもあり、ICテストシステムの動作速度を向上させる場合の障害となっている。

「問題点を解決するための手段」

この発明では、複数の処理装置を用いて階層構造を採るICテストシステムを構成すると共に、ハードウェアモジュールの動作を制御する行単位のテストプログラム命令はプログラム行単位で実行することを上位の処理装置が制御し、そのプログラム行に記述されている制御内容の実際の解釈及び実行は、上位の処理装置に制御される下位の処理装置に委ねられる。

また、下位の各処理装置には、接続される各ハードウェアモジュールに関するステータスを記憶する専用の記憶装置が設けられ、また、そのステータスの更新及びステータスをチェックする命令が備えられる。下位の処理装置はその専用の命令を用いてハードウェアモジュールへアクセスし或いはテストステータスの更新などを行う。

「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位での実行することを制御し、プログラム行の実際の解釈及び実行は下位に接続された複数の専用の処理装置によって分散して行われる。

また、ハードウェアモジュールの状態を表すステータ

ス情報のチェックなどは、下位の各処理装置が分散して行い、且つ専用命令を用いて迅速に処理される。

#### 「実施例」

第1図はこの発明のICテストシステムの構成例を示す図である。このICテストシステムは複数の処理装置が階層構造をもつアーキテクチャが採られる。即ち、この発明のICテストシステムは特にDCテスト、例えば、入力流出電流、リーク電流、耐圧、スレッシュホールド電圧試験などを行うのに適するように構成されている。即ち、記憶装置に格納されているハードウェアモジュールの動作を制御する行単位のテストプログラム命令を実行することを制御する上位の処理装置21と、この上位の処理装置21に制御線22を介して接続され、その上位の処理装置21の制御の下にプログラム行を実際に実行する複数の下位の処理装置23A, 23B, 23C~23Nと、これ等下位の処理装置23A, 23B, 23C~23Nに制御バス24A, 24B, 24C~24Nを通して制御されるハードウェアモジュール25A, 25B, 25C~25Nとにより構成される。ここで、プログラム行とは、マクロ化されたICテストシステムの制御命令のプログラムを行単位に記述表現した一行をいう。なお、幾つか複数の命令をまとめて登録しておき、このまとめて登録されている複数の命令全体に新規の名称を付与し、新規の名称を指定することによってまとめて登録されている複数の命令が連続して実行される。このまとめて登録されている複数の命令はマクロ命令と称されている。マクロ化されたICテストシステムの制御命令のプログラムを行単位に記述表現し、実行する具体例は後で詳細に説明する。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で順次記述され、上位の処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

従って、上位の処理装置21は、所望の被試験素子に対するテストプログラムをユーザが作成し易くなければならず、また、ICテストシステムに関してのあらゆる種類の処理をしなければならない。そのために、汎用の命令語体系が用いられる。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C~23Nが接続され、上位処理装置21は被試験素子のテスト状態をみながら読出したプログラム行を実行するかどうかを決め、実行することを決めたプログラム行の実際の実行は下位に接続された下位の処理装置23A, 23B, 23C~23Nの何れかに委ねられる。

下位の各処理装置23A, 23B, 23C~23Nは、ハードウェアモジュール25A, 25B, 25C~25Nを介して被試験素子に対して信号を供給したり、信号を測定する制御をするに適した専用の処理装置が用いられ、それぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nのいずれかにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに便利な命令語体系をもち、

且つマクロ命令化にされている。従って、上位処理装置21に使われている命令語体系で同じ処理をさせる場合により数十倍の処理速度が得られるように構成されている。

下位の各処理装置23A, 23B, 23C~23Nは上位の処理装置21からプログラム行の実行を依頼されると、そのプログラム行を解読してプログラム行の実行に入る。つまり、下位の各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解読結果によりその入出力制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

また、下位の各処理装置23A, 23B, 23C~23Nは、上位の処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、信号のタイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を供給し或いは出力された信号の測定を行う制御をするようにプログラムされている。即ち、下位の各処理装置23A, 23B, 23C~23Nは限られた処理、つまりこのICテストシステムではハードウェアモジュール25A, 25B, 25C~25Nを制御するだけであり、その制御を高速に行うことができる専用命令が構成される。またこれら下位の各処理装置23A, 23B, 23C~23Nは区々に被試験素子に対する試験を行うのではなく、統一的な制御処理を行うのが可能に構成される。

ハードウェアモジュール25A, 25B, 25C~25Nは下位の処理装置23A, 23B, 23C~23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A, 25B, 25C~25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えたもので複雑な判断機能がない決められたシーケンス動作を行うためのものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、各処理装置23A, 23B, 23C~23Nからの命令により被試験素子に対する信号の入出力を制御することができる。

以上のように下位の各処理装置23A, 23B, 23C~23Nは上位の処理装置21の制御の下に被試験素子に対する試験の実際の処理の全てを実行し、上位の処理装置21は下位の各処理装置23A, 23B, 23C~23Nのプログラム行の実行制御及び試験結果の良否判定結果の収集など、ICテストシス

テム全体の有機的動作の制御のみを行う。

更にこの発明では、このように階層構成された下位の各処理装置23A, 23B, 23C~23Nに対して、担当する各ハードウェアモジュールに関するステータスを記憶しておくために専用のメモリ27A, 27B, 27C~27Nがそれぞれ設けられる。例えば第1の下位の処理装置23Aはステータステーブル27Aを持ち、ハードウェアモジュール25A1, 25A2~25Anについての情報を管理している。

第2図はこの発明の要部を説明するための図である。下位の処理装置23Aにはこの図には示されていないが制御線24Aによりハードウェアモジュール25A1, 25A2~25Anが接続され、上位の処理装置21からの指令によりそれらの制御を任されるように構成される。即ち、下位の処理装置27Aは専用のステータステーブル27Aを持ち、そのステータステーブル27Aには下位の処理装置23Aが制御することを任されている各ハードウェアモジュール25A1, 25A2~25Anに関するステータスが格納することができる。例えば、ハードウェアモジュール25A2に関するステータスはステータステーブル27AのS<sub>2</sub>番地からS<sub>3</sub>-1番地までに格納されている。例えば、ステータスは、信号供給モードか信号測定モードか、出力レンジ、測定レンジ、接続端子番号、使用中フラグetc等であり、下位の処理装置23Aはこのステータステーブル27Aを用いてこれ等ハードウェアモジュール25A1, 25A2~25Anの状態を把握し、管理することができる。

例えば、これらのステータスのチェック或いはその更新処理を、汎用処理装置である上位の処理装置21のような一般のデータ処理などを行うための汎用命令で行うと、多くの命令語で記述したプログラムステップを踏んで、ステータステーブル中に格納されている状態を表すステータス、つまりビット模様を各ハードウェアモジュール25A, 25B, 25C~25Nについて逐一抜き出し、それらの『0』或いは『1』を照明・チェックする。このような処理を、例えば128個のハードウェアモジュール25A, 25B, 25C~25Nについて、逐次個別的にチェックを行っていると、その処理には膨大な時間を必要とする。

然るにこの発明では、これらのステータスを複数の下位の処理装置23A, 23B, 23C~23Nが分担して同時並行的にチェックおよび更新処理をすると共に、ステータスのチェックおよび更新処理をさせる専用命令が設定される。

第3図はステータスをチェックするための専用命令の例を示す図である。上述した通り、ICテストシステムの制御命令はマクロ化して行単位に記述表現したものであり、下位処理装置はこのマクロ化された行単位の制御命令を専用命令として格納保持している。

この専用命令は1ワードが16ビットで構成され、可変長命令語になっている。符号OPは命令コードである。Bは他の下位の処理装置に対して同期をかけるか否かを決定するフラグ、fはエラーフラグ、Nはオペランドの長さの指定である。続く2ワードはチェック条件を表す。

長さがNのオペランド部はチェックするチャンネルを指定する。×は使用してない。

このように種々の指定が集約されて1つの命令にマクロ化された専用命令を用いると、第5図の流れ図に示したように、中央処理装置11が通常の汎用命令で行う従来の場合には、ループ処理を含む多数のプログラムステップにより2ms要したところを、この発明の下位の各処理装置23A, 23B, 23C~23Nは第5図の符号Aに示す部分を処理するのに、単一命令を用いて数十μsの時間を要するだけで、各ハードウェアモジュール25A1, 25A2~25Anの状態をチェックすることができる。他方、上位の処理装置21は同図の符号Bに示す部分の例外処理をするだけであり、従って、ステータスのチェック&更新に時間をとられてICテストシステム全体の処理速度が低下することがない。

また、被測定ICの端子ピンに電圧を印加するDCテストのテストプログラムには次の様な例がある。

VSIM DC1-3=5V, M10MA; DC試験ユニットのチャンネル1から3を電圧発生/電流測定モードにする。発生電圧は5V電流測定レンジは10mAに設定する。

LIMIT DC1-3=5MA, 3MA; DC試験ユニットのチャンネル1から3で測定した結果の、パス領域(良品と判断できる領域)の範囲を3mA~5mAに設定する。

MEAS DC1-3; DC試験ユニットのチャンネル1から3での測定を実行して結果を判定する。

この例は以上の3行のプログラムでDCテストを実行する。

1行目のVSIM DC1-3=5V, M10MAについてみると、これを実行するには、

1. ステータスのチェックをする。

現在のDC1-3のモード、即ち、電圧発生/電流測定モードか電流発生/電圧測定モードかを調べる。現在の発生電圧、測定レンジを調べる。

2. モジュールをアクセスする。

ステータスチェックの結果に従って必要な部分をモジュールのレジスタに書き込む。

この発明は、以上の様なモジュールアクセス、測定結果の判定その他のハードウェアモジュールの動作制御処理を分散化した下位処理装置に実施させることにより、処理を高速化することができる。即ち、この発明は、下位処理装置を分散化してこれらにハードウェアモジュールの動作制御処理のみを委ねることによりICテストシステムのソフトウェアの動作速度を高速化することができる。単に汎用のマイクロコンピュータによる分散化する従来例の場合は、多数存在するテストモジュールを高速にアクセスしてテストするに際して、汎用の機械語の組み合わせによりステータスのチェックをし、或いはモジュールをアクセスすることとなり、これに依ってはステップ数は従来の単一処理装置による実行によるステップ数と格別相違するに到らず膨大な数に達する。

(5)

第2627751号

この発明により、結局、ICテストシステムのソフトウェアの動作速度を従来の数10倍程度に高速化することができる。

「発明の効果」

以上に説明したように、この発明によれば、上位の処理装置は専らプログラム行を実行するか否かを制御し、プログラム行の実際の実行は下位の複数の処理装置に分散させて実行内容をハードウェアモジュールの動作を制御する行単位のテストプログラム命令のみに局限する階層構造を採用した。テストプログラムを実行するには、言うまでもなく、ハードウェアモジュールの動作を制御する行単位のテストプログラム命令の他に、ディスクファイルの転送命令、データの印字命令の如きコンピュータの周辺機器を制御する命令、加減乗除に関する演算命令その他の種々雑多な多数の命令を必要とされるが、これら種々の雑多な多数の命令の実行は、一切、下位の処理装置に委ねることなしに負担を軽減し、これらの処理はこれに適合する高速動作する上位の処理装置に負担させることにした。このように分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を用いたので非常に早い制御が可能となり、被試験素子に対するDCテストを迅速に行うことができる。

更にこの発明の構成によれば、下位の各処理装置23A、23B、23C～23Nにステータステーブル27A、27B、27C～27Nを

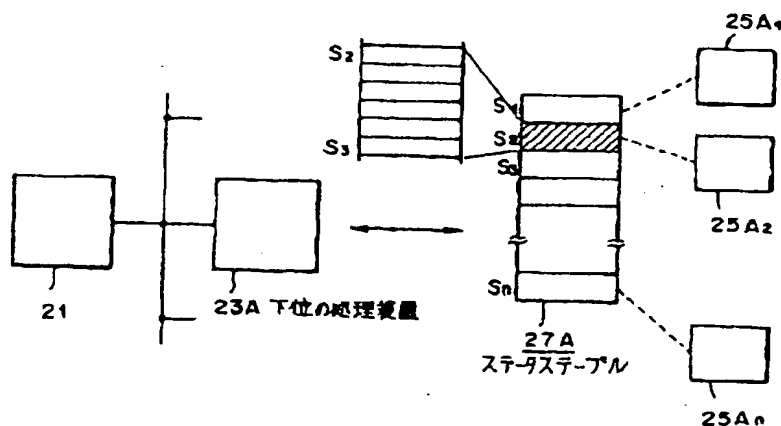
分散して処理させることによってハードウェアモジュール25A、25B、25C～25Nの状態を調べるのに要する時間を短くすると共に、この発明では、更に、ステータステーブル27A、27B、27C～27Nを検査したり更新したりするための専用命令を設け、その専用命令はテーブル27A、27B、27C～27N内容の更新や内容チェックに最適な形の命令構成が採られる。従って、通常の処理に用いられるプログラム命令を用いてステータステーブルにアクセスするのに比して格段の高速処理が可能とされ、ICテストシステムの試験動作の高速化に関して大いに効果がある。

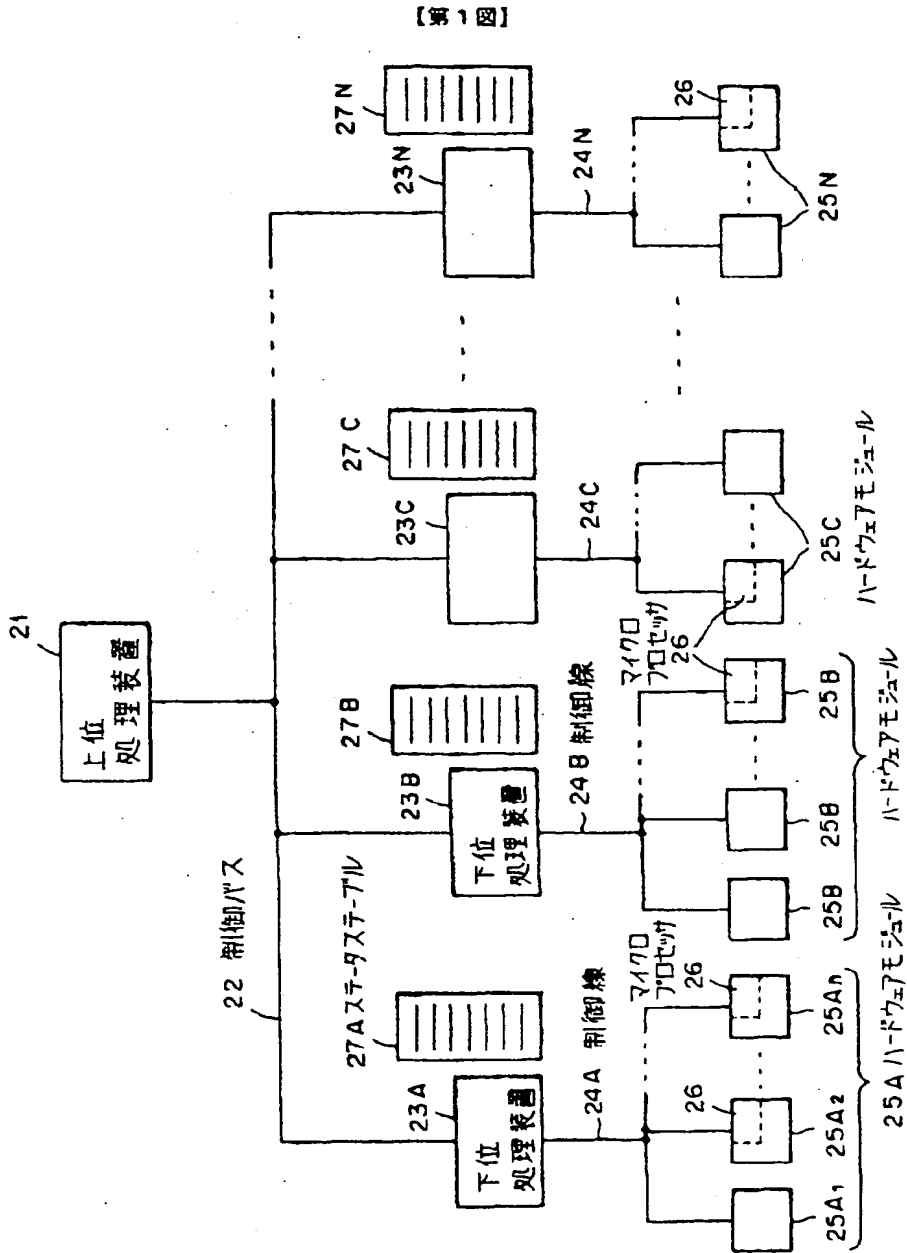
【図面の簡単な説明】

第1図はこの発明のICテストシステムの実施例を示す図、第2図はこの発明の要部を説明するための図、第3図は下位の各処理装置が用いるステータスのチェック更新をするための専用命令の例を示す図、第4図は従来のICテストシステムの構成例を示す図、第5図はハードウェアモジュールに関するステータスをチェック・更新する例を示す流れ図である。

11:中央処理装置、12:制御線、13:ハードウェアモジュール、16:ステータステーブル、21:上位の処理装置、22:制御バス、23:下位の処理装置、24:制御線、25:ハードウェアモジュール、26:マイクロプロセッサ、27:ステータステーブル。

【第2図】





【図1】

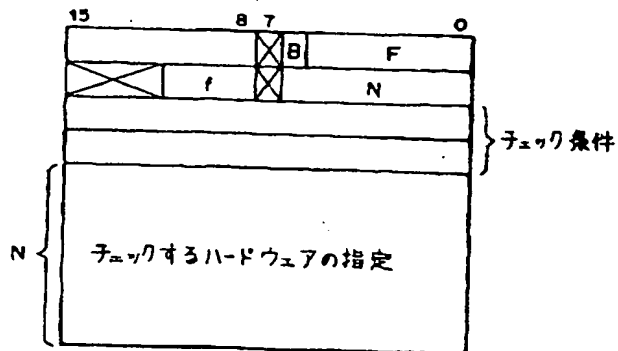
第 157792 号

(9)

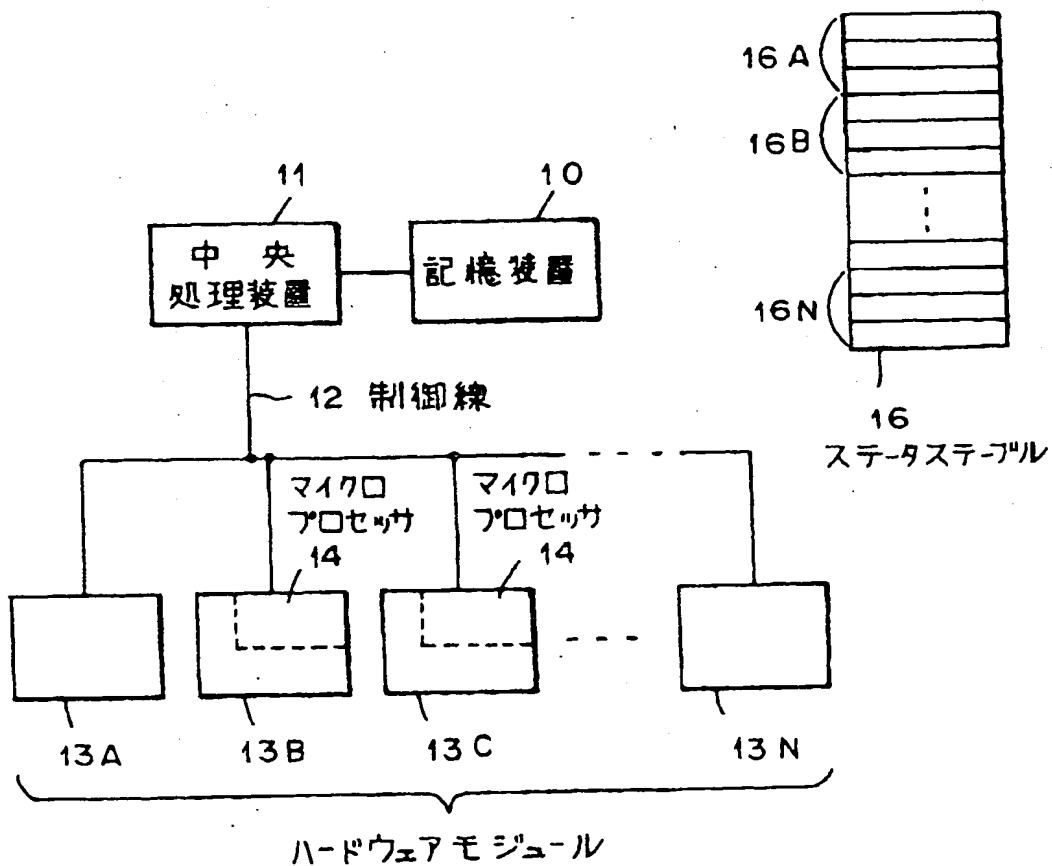
(7)

第2627751号

【第3図】



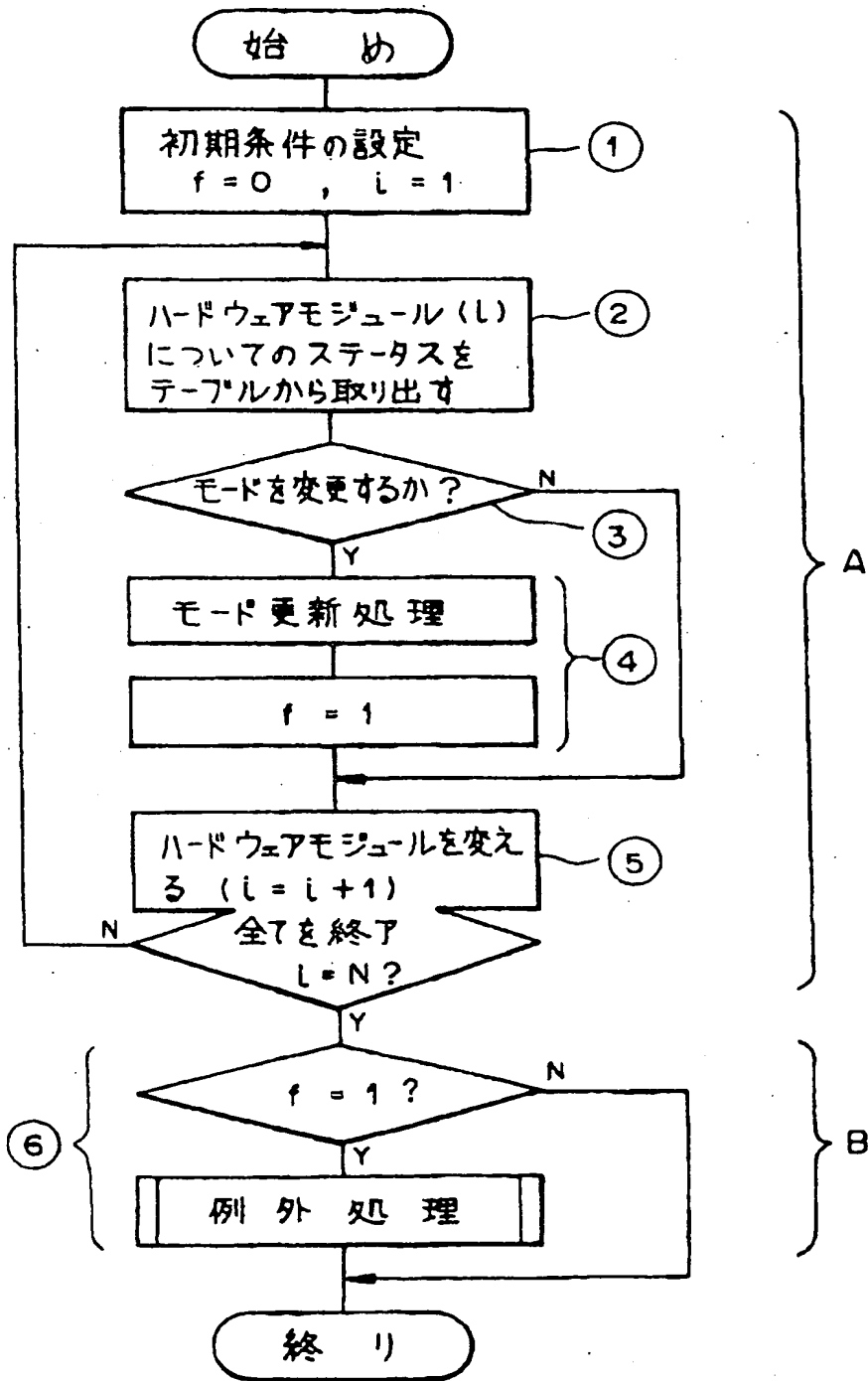
【第4図】



(8)

第2627751号

【第5図】





2627751

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

(57) [Claim(s)]

[Claim 1] It is controlled by the processor and the processor of a high order of the high order which controls activation of a test program. The processor of two or more low order which executes the test-program instruction of the line unit which controls actuation of a hardware module, and the instruction which updates the test status, Two or more hardware modules which are controlled by the processor of the low order and measure generating of the stimulus over an examined component, and the output signal of an examined component with activation of an instruction, respectively, It is IC test system which changes. since -- to each low-ranking processor IC test system equipped with the store which it controls, and which memorizes the status of the hardware module for every hardware module, and the instruction which checks the corresponding updating instruction of the status of a hardware module and the corresponding status.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**"Field of the Invention"**

This invention relates to IC test system which has the distributed architecture which has a layered structure.

**"Prior art"**

Fig. 4 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program the test sequence which examines an examined component was described to be being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 through the control line 12, and the control signal which a central processing unit 11 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N.

In order for a central processing unit 11 to control hardware modules 13A, 13B, 13C-13N according to a program, it is necessary to grasp the each hardware modules [ 13A, 13B, 13C-13N ] condition. Therefore, the each hardware modules [ 13A, 13B, 13C-13N ] present condition is recorded, and control is advanced, having a look at the condition. The condition is the connection place of a hardware modules [ 13A, 13B, 13C-13N ] pin, and is the output voltage of a signal, and it is in the condition of the measurement range of a signal, in addition the central processing unit 11 holds collectively the data which show those conditions in a store in the status table 16 about a variety of condition.

Since a central processing unit 11 records that control state on the applicable part of this status table 16 in case it outputs a hardware modules [ 13A, 13B, 13C-13N ] control signal while controlling the test sequence, the hardware modules [ 13A, 13B, 13C-13N ] newest condition is always recorded on this status table 16.

For example, the control signal over hardware module 13A is a control signal for supplying a direct current signal to the input terminal of an examined component, and if the data of a control signal are recorded on applicable column 16A of a status table 16 and this control signal is supplied, hardware module 13A will supply the specified direct current signal to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, hardware module 13B which checked the status table 16 and is vacant is looked for, and a control signal is outputted after writing in the data in which using it for the applicable column 16B is shown. For example, it will connect with the output terminal as which the examined component was specified, and hardware module 13B for measuring direct current voltage will measure the output voltage of that terminal, if this control signal is supplied.

**"The trouble which invention tends to solve"**

While a central processing unit outputs the control signal for performing decode of a program,

and activation, i.e., the trial of an examined component, to a hardware module etc., measurement of the signal which an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system. In order to carry out a DC test at a high speed to the semiconductor device which especially has many input/output terminals, quick processing control in each part is needed. Moreover, there are many hardware modules which require control and the magnitude of the status table which is recording the condition serves as very big size.

Fig. 5 is a flow chart showing the example of processing which checks a status table.

\*\* : make a mode update flag into an initial state ( $f=0$ ,  $i=1$ ).

\*\* : take out the status about one hardware module from a status table.

\*\* : check the status. for example, is there any need for modification (supply of a stimulus -- or is it measurement of a stimulus?) in the mode?

\*\* : if a mode change occurs, renewal of the mode will be performed, and set a mode update flag ( $f=1$ ).

\*\* : choose -- DOWEA module processed next ( $i=i+1$ ). If the processing about all hardware modules is completed ( $i=N$ ), if it has not ended to step \*\* of a degree, it will return to it to step \*\*.

\*\* : exception handling will be performed if the mode update flag is set ( $f=1$ ).

Thus, although the hardware module is controlled a central processing unit taking out the status about each hardware module from a status table, and checking the status, the time amount required for checking the status needs long time amount for becoming large proportionally depending on the magnitude of a table. Therefore, it has become, so that the time amount which checks the big status table or changes the contents of the status cannot be disregarded. For example, since the worst conditions take 2ms, it has been a failure in the case of raising the working speed of IC test system.

"The means for solving a trouble"

The processor of a high order controls executing the test-program instruction of the line unit which controls actuation of a hardware module per program line, while constituting IC test system which takes a layered structure using two or more processors from this invention, and the actual decode and the activation of the contents of control which are described by that program line are left to the low-ranking processor controlled by the processor of a high order. Moreover, each low-ranking processor is equipped with the instruction which the store of the dedication which memorizes the status about each hardware module connected is formed, and checks the renewal of the status, and the status. A low-ranking processor is accessed to a hardware module using an instruction of the dedication, or performs renewal of the test status etc.

"An operation of invention"

According to the configuration of this invention, the processor of a high order controls the thing in the line unit of a test program to perform, and actual decode and activation of a program line are performed by the processor of two or more dedication connected to low order distributing. Moreover, the check showing the condition of a hardware module of status information etc. is performed by each low-ranking processor distributing, and is quickly processed using an exclusive instruction.

"Example"

Fig. 1 is drawing showing the example of a configuration of IC test system of this invention. The architecture in which, as for this IC test system, two or more processors have a layered structure is taken. That is, especially IC test system of this invention is constituted so that it may be suitable for performing a DC test, for example, an input outflow current, leakage current, pressure-proofing, a SURESSHORUDO electrical-potential-difference trial, etc. Namely, the processor 21 of the high order which controls executing the test-program instruction of the line unit which controls actuation of the hardware module stored in the store, The processors 23A, 23B, 23C-23N of two or more low order which is connected to the processor 21 like besides through the control line 22, and actually performs a program line under control of the processor 21 of that high order, It is constituted by the hardware modules 25A, 25B, 25C-25N controlled by

the processors 23A, 23B, 23C-23N of low order, such as this, through control buses 24A, 24B, 24C-24N. Here, a program line means the party who did the description expression of the program of the control instruction of macro-ized IC test system per line. In addition, some of two or more instructions are registered collectively, a new name is given to these the whole instructions of two or more registered collectively, and two or more instructions registered collectively are continuously executed by specifying a new name. These instructions of two or more registered collectively are called macro instruction. The description expression of the program of the control instruction of macro-ized IC test system is carried out per line, and the example to perform is explained to a detail later.

That is, as for the test program which examines an examined component, sequential description of the experimental procedure is carried out per line, and the processor 21 of a high order controls whether the test program is performed about read-out and its read program line one by one from storage per line.

Therefore, a user has to tend to create the test program to a desired examined component, and the processor 21 of a high order must process all the classes about IC test system. Therefore, a general-purpose instruction word system is used.

The processors 23A, 23B, 23C-23N of two or more low order are connected to the processor 21 like besides, it decides whether perform the program line read while the host processor 21 saw the test condition of an examined component, and actual activation of the program line which decided to perform is left for low-ranking processors [ which were connected to low order / 23A, 23B 23C-23N ] any being.

Each low-ranking processors 23A, 23B, 23C-23N An examined component is received through hardware modules 25A, 25B, 25C-25N. Supply a signal or The processor of dedication suitable for carrying out control which measures a signal is used. It has an instruction word system convenient to access hardware modules [ which are connected to each / 25A, 25B, 25C-25N ] either, or to change a test condition (connection of a terminal and condition of a measuring instrument) etc., and is made macro instruction-ization. Therefore, it is constituted so that one dozens times the processing speed of this may be obtained by the case where the same processing is carried out for the instruction word system currently used for the host processor 21.

If activation of a program line is requested from each low-ranking processors 23A, 23B, 23C-23N from the processor 21 of a high order, they will decode the program line and will start activation of a program line. That is, although each low-ranking processors 23A, 23B, 23C-23N do not show in drawing the control program with which the procedure which outputs and inputs the test signal to an examined component was described, they are held to storage, the I / O control program is read by the decode result of the given program line, and the procedure which carries out input/output control of the signal described by the program line is performed.

Moreover, each low-ranking processors 23A, 23B, 23C-23N It not only performs the program line which received request of activation from the processor 21 of a high order as it is, but decode a program line and it receives the decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, Timing relationship or prohibition conditions of an input condition and a signal etc. are checked. It is programmed to carry out control which measures the signal which supplied the stimulus to the examined component or was outputted, judging that the mistaken input signal is not given or it does not lapse into a signal state which causes breakage of an examined component greatly. That is, each low-ranking processors 23A, 23B, 23C-23N only control hardware modules 25A, 25B, 25C-25N by the limited processing, i.e., this IC test system, and the exclusive instruction which can perform that control at a high speed is constituted. moreover, each processors 23A, 23B, and 23 of these low order -- performing [ C-23-N ] unific control processing rather than performing the trial to an examined component variously is constituted possible.

The control signal accompanying activation of a low-ranking processors [ 23A, 23B, 23C-23N ] program line is supplied, and hardware modules 25A, 25B, 25C-25N can measure the signal from an output terminal with which the test signal was outputted or the examined component was specified to the input terminal with which the examined component was specified.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26. This microprocessor 26 is for performing sequence actuation which is what replaced many logical elements and does not have a complicated judgment function and for which it opted. A general-purpose processor is used, that actuation is programmed beforehand, and this microprocessor 26 can control I/O of the signal over an examined component by the instruction from each processors 23A, 23B, 23C-23N.

As mentioned above, each low-ranking processors 23A, 23B, 23C-23N perform all the experimental actual processings to an examined component under control of the processor 21 of a high order, and, as for the processor 21 of a high order, the execution control of an each low-ranking processors [ 23A 23B, 23C-23N ] program line, collection of the quality judging result of a test result, etc. perform only control of organic actuation of the whole IC test system.

Furthermore, in this invention, in order to memorize the status about each hardware module which it takes charge of to each processors 23A, 23B, 23C-23N of the low order by which hierarchy organization was carried out in this way, the memory 27A, 27B, 27C-27N of dedication is formed, respectively. For example, processor 23A of the 1st low order had status table 27A, and has managed a hardware module 25A1 and the information about 25A2-25An.

Fig. 2 is drawing for explaining the important section of this invention. Although not shown in this drawing at low-ranking processor 23A, the hard WEMO joule 25A1 and 25A2-25An are connected by control-line 24A, and it is constituted so that those control may be left by the command from the processor 21 of a high order. That is, low-ranking processor 23A can have status table 27A of dedication, and each hardware module 25A1 to which it is left that low-ranking processor 23A controls, and the status about 25A2-25An can be stored in status table 27A. For example, the status about a hardware module 25A2 is stored by S3-1 street from S2 street of status table 27A. For example, the status is Flag etc etc. during signal supply mode, signal measurement mode, an output range, a measurement range, a connection terminal number, and use, and low-ranking processor 23A can grasp and manage the hardware modules 25A1, such as this, and the condition of 25A2-25An using this status table 27A.

For example, if it carries out by the general instruction for performing general data processing like the processor 21 of the high order which is a general-purpose processor about the check or its update process of these statuses etc., the program step described with much instruction word will be stepped on, the status showing the condition of being stored in the status table, i.e., a bit pattern, will be extracted in detail about each hardware modules 25A, 25B, 25C-25N, and those "0" or "1" will be illuminated and checked. When such processing is serially checked individually about 128 hardware modules 25A, 25B, 25C-25N, huge time amount is needed for the processing.

The appropriate exclusive instruction to which the check and update process of the status are carried out while it is alike, and the processors 23A, 23B, 23C-23N of two or more low order share these statuses with this invention and carrying out a check and an update process in concurrency is set up.

Fig. 3 is drawing showing the example of the exclusive instruction for checking the status.

Control instruction of IC test system is macro-ized, and carries out a description expression per line, and a low order processor considers control instruction of this macro-ized line unit as an exclusive instruction, and is carrying out storing maintenance as mentioned above.

1 word consists of 16 bits and this exclusive instruction has become variable-length instruction word. Sign OP is instruction code. An error flag and N of the flag and f which determine whether B applies a synchronization to the processor of other low order are assignment of operand length. Check conditions are expressed the 2 next words. Die length specifies the channel which checks the operand part of N. x is not using it.

thus, if the exclusive instruction which various assignment was collected and was macro-ized by one instruction is used, as shown in the flow chart of Fig. 5 , in the former which a central processing unit 11 performs by the usual general instruction Although the part each processors 23A, 23B, 23C-23N of the low order of this invention indicate the place required for 2ms by the program step of a large number including loop-formation processing to be to the sign A of Fig. 5 is processed Only by requiring the time amount for dozens of microseconds using a single

instruction, each hardware module 25A1 and the condition of 25A2-25An can be checked. On the other hand, the processor 21 of a high order only carries out exception handling of the part shown in the sign B of this drawing, therefore time amount is taken by the renewal of check & of the status, and the processing speed of the whole IC test system does not fall.

Moreover, there are the following examples in the test program of a DC test which impresses an electrical potential difference to the terminal pin measured [ IC ].

The channels 1-3 of VSIM DC1-3=5V and an M10 MA;DC trial unit are made into electrical-potential-difference generating / amperometry mode. A generated voltage sets 5V amperometry range as 10mA.

The range of a pass field (field which can be judged to be an excellent article) of the result measured by the channels 1-3 of LIMIT DC1-3=5MA and a 3 MA;DC trial unit is set as 3mA - 5mA.

Measurement by the channels 1-3 of a MEAS DC1-3;DC trial unit is performed, and a result is judged.

This example performs a DC test by the above program of three lines.

If it sees about VSIM DC1-3=5V of the 1st line, and M10MA, in order to perform this, 1. status is checked.

The mode of current DC 1-3, i.e., electrical-potential-difference generating / amperometry mode, or current generating / amplitude-measurement mode, is investigated. A current generated voltage and a measurement range are investigated.

## 2. Access a module.

According to the result of a status check, a required part is written in a modular register.

This invention can accelerate processing by making the low order processor which decentralized the above module accesses and motion-control processing of the hardware module of a judgment and others of a measurement result carry out. That is, this invention can accelerate the working speed of the software of IC test system by decentralizing a low order processor and leaving only motion-control processing of a hardware module to these. Only in a majority of cases of the conventional example by the general-purpose microcomputer to decentralize, it will face the existing test module accessing a high speed and testing, and the status will be checked with the combination of a general-purpose absolute language, or a module will be accessed and it depends on this, the number of steps to be exceptionally different from the number of steps by activation by conventional uniprocessing equipment, and reaches a huge number.

The working speed of the software of IC test system is accelerable to about several 10 times over the past after all with this invention.

## "Effect of the invention"

According to this invention, as explained above, the processor of a high order controlled whether a program line would be performed chiefly, made two or more low-ranking processors distribute actual activation of a program line, and adopted the layered structure which localizes the contents of activation only to the test-program instruction of the line unit which controls actuation of a hardware module. In order to perform a test program, besides the test-program instruction of the line unit which cannot be overemphasized and controls actuation of a hardware module the instruction which controls the peripheral device of the computer like the move instruction of a disk file, and the printing instruction of data, the operation instruction about four operations, and others, although the instruction of miscellaneous a large number is needed variously Activation of an instruction of a majority of these miscellaneous versatility mitigated the burden entirely, without entrusting a low-ranking processor, and these processings were carried out to making the processor of the high order which suits this and which carries out high-speed operation pay. Thus, while aiming at improvement in the processing speed by distributed architecture, since the optimal instruction word system was used for every hierarchy, very early control is attained, and the DC test to an examined component can be performed quickly.

Furthermore, according to the configuration of this invention While shortening time amount taken to investigate a hardware modules [ 25A, 25B, 25C-25N ] condition by making each low-ranking processors 23A, 23B, 23C-23N distribute and process status tables 27A, 27B, 27C-27N, in this

invention Furthermore, the exclusive instruction for inspecting or updating status tables 27A, 27B, 27C-27N is prepared, and the instruction configuration of the form for updating and the contents check of Tables 27A and 27B and the contents of 27C-27N with the optimal exclusive instruction is taken. Therefore, marked high-speed processing is enabled as compared with accessing a status table using the program instruction used for the usual processing, and it is greatly effective about improvement in the speed of test actuation of IC test system.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

Drawing showing the example of an exclusive instruction for drawing for drawing showing [ 1 ] the example of IC test system of this invention and Fig. 2 to explain the important section of this invention and Fig. 3 to carry out renewal of a check of the status which each low-ranking processor uses, drawing showing the example of a configuration of IC test system of the former [ Fig. / 4 ], and Fig. 5 are the flow charts showing the example which checks and updates the status about a hardware module.

11: A central processing unit, 12:control line, 13:hardware module, 16:status table, the processor of 21:high order, 22:control bus, the processor of 23:low order, 24:control line, 25:hardware module, 26:microprocessor, 27 : status table.

---

[Translation done.]



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**